

CLIPPEDIMAGE= JP404099375A

PAT-NO: JP404099375A

DOCUMENT-IDENTIFIER: JP 04099375 A

TITLE: SEMICONDUCTOR MEMORY

PUBN-DATE: March 31, 1992

INVENTOR-INFORMATION:

NAME

YAGOU, YASUYOSHI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP02217881

APPL-DATE: August 17, 1990

INT-CL (IPC): H01L027/108;H01L021/3205

US-CL-CURRENT: 257/306

ABSTRACT:

PURPOSE: To rapidly flatten a processed surface by burying a groove formed between word lines with a buried layer made of an insulating film such as a conductive film such as polycrystalline silicon, oxide film, etc., to be formed.

CONSTITUTION: Bit lines 10 are formed in a direction perpendicular to word lines 3, 3 on an interlayer insulating film 9, and connected through a conductive film 13 made of polycrystalline silicon flattened on its upper surface for a high concentration impurity diffused region 4a as source or drain of an access transistor 15. A conductive film 14 made of polycrystalline

BEST AVAILABLE COPY

silicon, etc., as a buried layer flattened on its surface is formed for the lines 3, 3 aligned on an isolating region 2 between cells, grooves formed at the lines 3, 3 are buried with the film 14 to easily flatten the corresponding processed surface. A dielectric film 7, a conductive film 8, an interlayer insulating film 9, a conductive film 10 to become bit lines of a capacitor 16 to be formed sequentially in the later steps, can be flattened together.

COPYRIGHT: (C)1992, JPO&Japio

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-99375

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月31日

H 01 L 27/108
21/3205

8624-4M H 01 L 27/10 3 2 5 N
6810-4M 21/88 K
6810-4M J

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 平2-217881

⑰ 出 願 平2(1990)8月17日

⑱ 発 明 者 矢 合 康 悦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

素子間分離領域によって囲まれる半導体基板の
主面上に配設されるアクセストラジスタと、前
記素子間分離領域上を含んで配設されるキャパシ
タとを組み合わせた1トランジスタ・1キャパシ
タ型のメモリセルを備え、

前記素子間分離領域上には、各ワード線の少な
くとも複数本を所定方向、所定間隔で絶縁的に並
設させると共に、前記キャパシタの少なくとも一
部を当該各ワード線上に形成させてなる半導体記
憶装置において、

前記素子間分離領域上の各ワード線間に形成さ
れる溝状部分を、多結晶シリコンなどの導電膜、
あるいは酸化膜などの絶縁膜からなる埋め込み層
により埋め込んで構成したことを特徴とする半導
体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体記憶装置に関し、さらに詳
しくは、任意の記憶情報をランダムに入出力可能
にした1トランジスタ・1キャパシタ型の半導体
記憶装置において、高集積化のための表面平坦化
構造の改良に係るものである。

〔従来の技術〕

近年、半導体記憶装置に関しては、コンピュー
タなどの情報機器の目覚ましい普及によって、そ
の需要が急速に拡大され、機能的にも、比較的大
規模な記憶容量を備えて高速動作の可能な装置構
成が要求されており、これに伴って、当該半導体
記憶装置における高集積化、および高速応答性、
ならびに高信頼性に関する技術開発が盛んに進め
られている。

また、前記半導体記憶装置のうち、記憶情報の
ランダムな入出力を可能にした装置としては、従
来から、いわゆる、DRAM (Dynamic Random
Access Memory) が一般に知られており、この種の

D R A Mについては、通常の場合、多数の記憶情報を蓄積する記憶領域としてのメモリアレイと、それに、外部との入出力に必要な周辺回路とのそれぞれによって構成される。

こゝで、第3図には、一般的なD R A Mの概要をブロック系統図によって示し、また、第4図には、同上D R A Mにおけるメモリセルアレイを構成する4ビット分のメモリセルの等価回路を示してある。

まず、第3図に示す従来の装置構成において、対象となるD R A M 50は、記憶情報のデータ信号を蓄積するメモリセルアレイ51と、個々の単位記憶回路としてのメモリセルを選択するためのアドレス信号を外部から受けるロウアンドカラムアドレスバッファ52と、当該アドレス信号を解釈することによって該当メモリセルを指定するロウデコード53、およびカラムデコード54と、指定メモリセルに蓄積された信号を増幅して読み出すセンスリフレッシュアンプ55と、データ入出力のためのデータインバッファ56、およびデータアウトバッ

性の観点から、たとえ、高集積化により1個当たりの単位面積自体が縮小されても、1ビットのメモリセルに蓄えられる電荷量をぼゞ一定に維持する必要があり、このために従来のD R A Mの構成においては、キャパシタを素子分離領域上に重ねて配置するようにした、いわゆる三次元化構造などの手段によって、蓄積可能な電荷量を増加させている。

こゝで、第5図には、素子間分離領域のワード線上にキャパシタを重ねて構成した場合の従来例によるD R A Mでのメモリセル部の断面構成を模式的に示してある。

すなわち、この第5図に示す従来のD R A Mにおけるメモリセル部の構成において、符号1は第1導電型、こゝでは、p型の半導体基板であり、2は半導体基板1の主面上に形成された厚い絶縁膜からなる素子間分離領域、3はアクセストランジスタ15のゲート電極を兼ねてワード線となるそれぞれの各導電膜、4a, 5aはアクセストランジスタ15の高濃度不純物拡散領域となる第2導電型、

ファ57と、クロック信号を発生するクロックジェネレータ58とを含んでいる。なお、同図中、A0～A9はアドレス入力端子である。

しかして、前記メモリセルアレイ51は、単位記憶情報を蓄積するための複数個のメモリセルをマトリックス状に配列して構成させたものであり、半導体チップ上においては、最も大きな面積を占める。すなわち、第4図のメモリセルの場合は、1個のM O S (Metal Oxide Semiconductor) トランジスタと、これに接続される1個の容量素子とからなる、いわゆる、1トランジスタ・1キャパシタ型の装置構成が示されており、この形式によるメモリセルの構成は、構造自体が比較的簡単であって、メモリセルアレイ自体の集積度向上もまた容易であることから、大容量のD R A Mに広く採用されている。

また、D R A Mの高集積化に伴い、メモリサイズが縮小されると、これに対応してキャパシタなどの面積自体も縮小されるが、一方では、記憶装置としてのD R A Mの安定化動作、ならびに信頼

こゝでは、n⁺型の不純物拡散領域、6はキャパシタ16の下部電極となる導電膜、7はキャパシタ16の誘電層となる誘電体膜、8はキャパシタ16の上部電極となる導電膜、9は層間絶縁膜、10はビット線となる導電膜、11, 12はワード線3のまわりを覆う絶縁膜、13は接続用の上面が平坦化された導電膜である。

このように従来の装置構成におけるメモリセル部は、1個のアクセストランジスタ15と1個のキャパシタ16とからなり、個々のメモリセルについては、半導体基板1の表面に形成される素子間分離領域2により周囲が囲まれて、隣接するセル相互間が絶縁分離されると共に、当該素子間分離領域2上には、所定方向で相互に所定間隔を隔てゝ並設される複数本、こゝでは、1組2本のワード線3, 3が形成され、かつこれらの各ワード線3, 3上に重ねて個々のメモリセルの部分が形成されている。

そして、前記アクセストランジスタ15は、半導体基板1の主面上に形成されたソース、あるいは

ドレインとしての高濃度不純物拡散領域4a, 5aと、これらの各高濃度不純物拡散領域4a, 5a間に位置して、薄いゲート酸化膜11を隔て、形成されたワード線3とによって構成される。

また、前記キャパシタ16は、多結晶シリコンなどの導電材料による下部電極6, および上部電極8と、これらの各電極6, 8間に形成された窒化膜と酸化膜との積層膜、あるいはタンタル酸化膜などの誘電膜7とからなっており、一方の下部電極6については、アクセストランジスタ15のソース、あるいはドレインとしての高濃度不純物拡散領域5aに接続されている。

さらに、前記ビット線10は、層間絶縁膜9上にあって、前記各ワード線3, 3に直交する方向に形成され、アクセストランジスタ15のソース、あるいはドレインとしての高濃度不純物拡散領域4aと直接的に、あるいは導電層13を介して接続されている。

〔発明が解決しようとする課題〕

しかしながら、前記のように構成される従来の

半導体記憶装置は、素子間分離領域上にあって、所定方向で相互に所定間隔を隔て、並設される複数本の各ワード線間における溝状部分を、多結晶シリコンなどの導電膜、あるいは酸化膜などの絶縁膜からなる埋め込み層によって埋め込むようにしたものである。

すなわち、この発明は、素子間分離領域によって囲まれる半導体基板の主面上に配設されるアクセストランジスタと、前記素子間分離領域上を含んで配設されるキャパシタとを組み合わせた1トランジスタ・1キャパシタ型のメモリセルを備え、前記素子間分離領域上には、各ワード線の少なくとも複数本を所定方向、所定間隔で絶縁的に並設させると共に、前記キャパシタの少なくとも一部を当該各ワード線上に形成させてなる半導体記憶装置において、前記素子間分離領域上の各ワード線間に形成される溝状部分を、多結晶シリコンなどの導電膜、あるいは酸化膜などの絶縁膜からなる埋め込み層により埋め込んで構成したことを特徴とする半導体記憶装置である。

メモリセル部構造においては、第5図の断面構成からも明らかなように、素子間分離領域2上での相互に所定間隔を隔て、並設される各ワード線3, 3間の部分が溝状に形成されることになって、このために、これらの各ワード線3, 3上で導電膜8, および層間絶縁膜9を介して直交方向に配線される上部のビット線10が、当該溝状部に対応する部分で厚くなる傾向を有しており、製造過程でのエッチング加工時に残渣を生じ易く、このビット線10に短絡などを起こし易いという不利を生じ、結果的に、装置の信頼性低下を招くという問題点があった。

この発明は、従来のこのような問題点を解消するためになされたもので、その目的とするところは、加工表面部を可及的に平坦化形成させるようにして、当該表面部に設けられるビット線に短絡などを生じないようにした、この種の半導体記憶装置を提供することである。

〔課題を解決するための手段〕

前記目的を達成するために、この発明に係る半

〔作 用〕

従つて、この発明に係る半導体記憶装置では、素子間分離領域上にあって、所定方向で相互に所定間隔を隔て、並設される複数本の各ワード線間に形成される溝状部分を、多結晶シリコンなどの導電膜、あるいは酸化膜などの絶縁膜からなる埋め込み層により埋め込んで構成したから、製造時における加工表面部を平坦化されることになり、上部に形成されるビット線に短絡などを生ずる恐れがない。

〔実施例〕

以下、この発明に係る半導体装置の製造方法の一実施例につき、第1図および第2図を参照して詳細に説明する。

これらの第1図、および第2図はこの実施例を適用した半導体記憶装置でのDRAMにおけるメモリセル部の概要構成を模式的に示す断面図、および平面パターン図であつて、第1図の断面は第2図のI-I線部に対応しており、これらの第1図、第2図実施例構成において、前記第5図従来

例構成と同一符号は同一または相当部分を示している。

すなわち、第1図、第2図に示す実施例構成においても、符号1はp型の半導体基板であり、2は半導体基板1の主面上に形成された厚い絶縁膜からなる素子間分離領域、3はアクセストランジスタ15のゲート電極を兼ねてワード線となる導電膜、4a, 5a および 4b, 5b はアクセストランジスタ15の高濃度不純物拡散領域となるn⁺型の不純物拡散領域、および低濃度不純物拡散領域となるn⁺型の不純物拡散領域、6はキャパシタ16の下部電極となる導電膜、7はキャパシタ16の誘電膜となる誘電体膜、8はキャパシタ16の上部電極となる導電膜、9は層間絶縁膜、10はビット線となる導電膜、11, 12はワード線のまわりを覆う絶縁膜、13は接続用の上面が平坦化された導電膜、14は埋め込み用の同様に上面が平坦化された導電膜からなる埋め込み層である。

この実施例装置の場合にも、メモリセル部は、1個のアクセストランジスタ15と1個のキャパシ

タ16とにより構成されており、個々のメモリセルについては、半導体基板1の表面に形成される素子間分離領域2により周囲が囲まれて、隣接するセル相互間が絶縁分離されると共に、当該素子間分離領域2上には、所定方向で相互に所定間隔を隔て、並設される複数本、こゝでは、1組2本のワード線3, 3が形成され、かつこれらの各ワード線3, 3上に重ねて個々のメモリセルの部分が形成される。

そして、前記アクセストランジスタ15についても、半導体基板1の主面上に形成されたソース、あるいはドレインとしての低濃度不純物拡散領域4b, 5bを含む高濃度不純物拡散領域4a, 5aと、これらの各高濃度不純物拡散領域4a, 5a間に位置して、薄いゲート酸化膜11を隔て、形成されたゲート電極を兼ねるワード線3とによって構成されており、かつまた、前記キャパシタ16は、多結晶シリコンなどの導電材料による下部電極6、および上部電極8と、これらの各電極6, 8間に形成された窒化膜と酸化膜との積層膜、あるいはタンタル酸

化膜などの誘電体膜7とから構成され、一方の下部電極6については、アクセストランジスタ15のソース、あるいはドレインとしての高濃度不純物拡散領域5aに接続されている。

しかして、この場合、前記ビット線10については、層間絶縁膜9上にあって、前記各ワード線3, 3に直交する方向に形成され、アクセストランジスタ15のソース、あるいはドレインとしての高濃度不純物拡散領域4aに対しては、上面が平坦化された多結晶シリコンなどの導電膜13を介して接続されるが、こゝでの当該導電膜13の形成時に、前記素子間分離領域2上に所定間隔を隔て、並設される各ワード線3, 3間に対しても、同時に、同様な上面が平坦化された埋め込み層としての多結晶シリコンなどの導電膜14を形成させることによって、これらの各ワード線3, 3間に形成される溝状部分を、当該導電膜14により埋め込んで、該当する加工表面部の平坦化を容易に図り得るのである。

従って、このように各ワード線3, 3間の溝状部

分を上面が平坦化された埋め込み層としての導電膜14で埋め込むことにより、これ以後の工程で順次に形成されるキャパシタ16の誘電体膜7、導電膜8と、層間絶縁膜9と、ビット線となる導電膜10とのそれぞれを、共に平坦化し得るもので、このために、これらの各膜の形成に伴うエッチング時に残渣を生じたりせず、ビット線の短絡などの不良を効果的に抑制できるのである。

なお、前記実施例においては、各ワード線間に形成される溝状部分を埋め込み層としての多結晶シリコンなどの導電膜によって埋め込むようにしているが、必要に応じては、酸化膜などの絶縁膜によって埋め込むようにしてもよく、同様な作用、効果が得られる。

〔発明の効果〕

以上詳述したように、この発明によれば、素子間分離領域によって囲まれる半導体基板の主面上に配設されるアクセストランジスタと、前記素子間分離領域上を含んで配設されるキャパシタとを組み合わせた1トランジスタ・1キャパシタ型の

メモリセルを備え、素子間分離領域上には、各ワード線の少なくとも複数本を所定方向、所定間隔で絶縁的に並設せると共に、キャパシタの少なくとも一部を当該各ワード線上に形成させてなる半導体記憶装置において、素子間分離領域上の各ワード線間に形成される溝状部分を、多結晶シリコンなどの導電膜、あるいは酸化膜などの絶縁膜からなる埋め込み層によって埋め込むようにしたから、加工表面部を極めて容易に平坦化できるもので、製造に伴うエッチング時に残渣を生じたりせず、上部に形成されるビット線の短絡などの恐れを解消して、製造の際での装置のバラツキを少なくでき、ひいては装置の信頼性を格段に向上し得るなどの優れた特長がある。

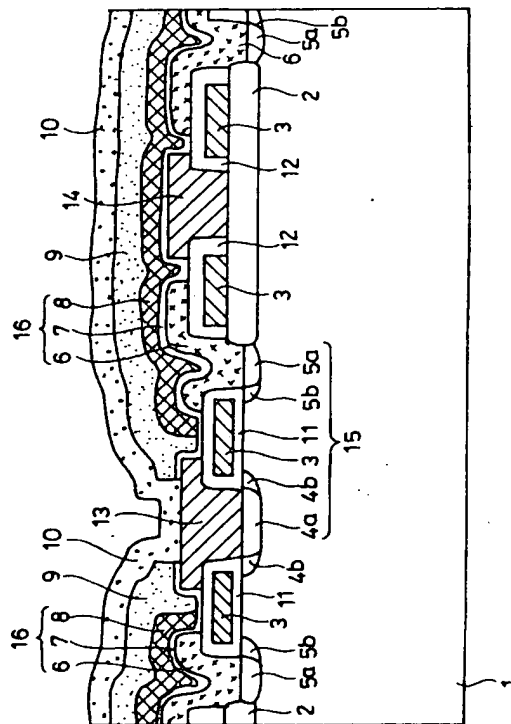
4. 図面の簡単な説明

第1図、および第2図はこの発明に係る半導体記憶装置の一実施例を適用したDRAMにおけるメモリセル部の概要構成を模式的に示す断面図、および平面パターン図で、第1図断面は第2図I-I線部に対応しており、また、第3図は一般的

な半導体記憶装置としてのDRAMの概要を示すブロック系統図、第4図は同上半導体記憶装置におけるメモリセル4ビット分相当の等価回路を示す回路接続図、第5図は従来例による同上DRAMにおけるメモリセル部の概要構成を模式的に示す断面図である。

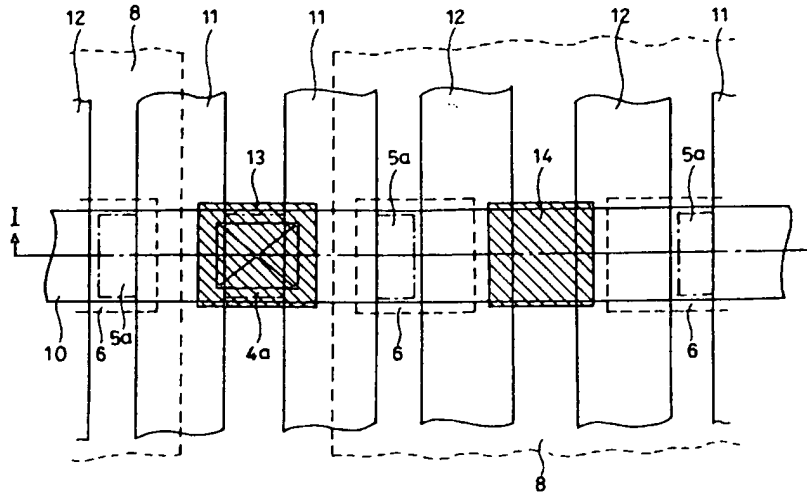
- 1 ……半導体基板、 2 ……素子間分離領域、
- 3 ……導電膜（ワード線）、
- 4a, 4b ……高濃度不純物拡散領域、
- 5a, 5b ……低濃度不純物拡散領域、
- 6 ……導電膜（下部電極）、
- 7 ……誘電体膜、
- 8 ……導電膜（上部電極）、
- 9 ……層間絶縁膜、
- 10 ……導電膜（ビット線）、
- 11, 12 ……絶縁膜、
- 13 ……導電膜（接続用）、
- 14 ……導電膜（埋め込み層）、
- 15 ……アクセストランジスタ、
- 16 ……キャパシタ。

第1図

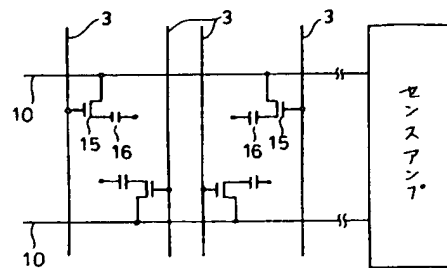


- 1 : 半導体基板
- 2 : 素子間分離領域
- 3 : 導電膜 (ワード線)
- 4a, 4b : 高濃度不純物拡散領域
- 5a, 5b : 低濃度不純物拡散領域
- 6 : 導電膜 (下部電極)
- 7 : 誘電体膜
- 8 : 導電膜 (上部電極)
- 9 : 層間絶縁膜
- 10 : 導電膜 (ビット線)
- 11, 12 : 絶縁膜
- 13 : 導電膜 (接続用)
- 14 : 導電膜 (埋め込み層)
- 15 : アクセストランジスタ
- 16 : キャパシタ

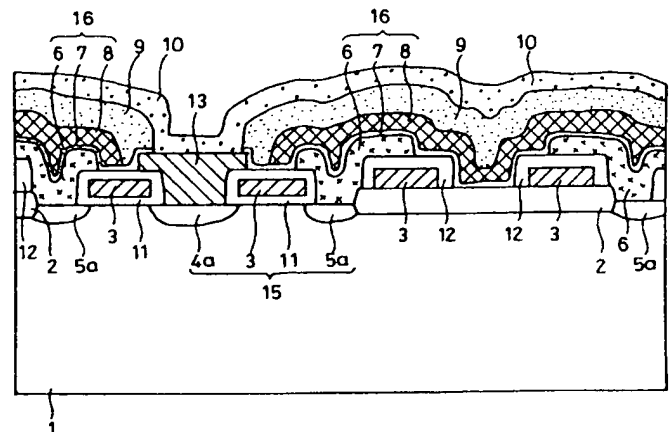
第 2 図



第 4 図



第 5 図



第 3 図

